

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-260857

(43)Date of publication of application : 13.10.1995

(51)Int.Cl.

G01R 31/00
G01R 31/3185
G01R 31/28
G02F 1/133
G09G 3/36

(21)Application number : 06-048416

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.03.1994

(72)Inventor : MIWA YUICHI

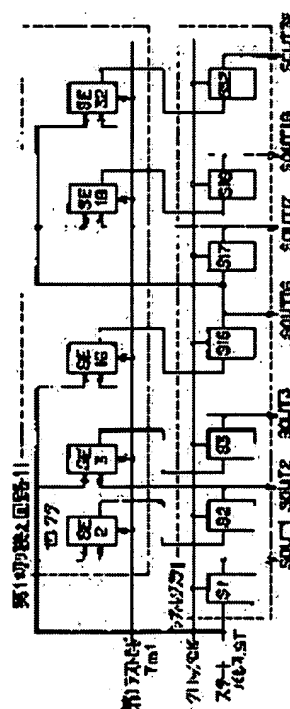
(54) LIQUID CRYSTAL DISPLAY AND DRIVE CIRCUIT THEREFOR

(57)Abstract:

PURPOSE: To shorten the test time by delivering an output from a register, through a first switching circuit under first test mode, in the stage preceding the head stage of a group divided for every (n) stages including a relevant stage.

CONSTITUTION: Output from a shift register in the preceding stage is fed normally, through a first switching circuit 11, as an input to each stage of a shift register 1 based on a first test mode signal $Tm1$. Under a first test mode, output from a shift register in the stage preceding the head stage of a group divided for every n (an arbitrary positive integer) stages and including the relevant stage is fed to each stage of the register 1.

Since the number of stages of the shift register 1 is reduced effectively by a factor of n, the time required for sampling is reduced by a factor of n as compared with normal operation resulting in the shortening of time required for shipment test of IC.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-260857

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/00				
31/3185				
31/28				
G 0 2 F 1/133	5 0 5			

G 0 1 R 31/ 28

W

審査請求 未請求 請求項の数10 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平6-48416

(22) 出願日 平成6年(1994)3月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 三輪 裕一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

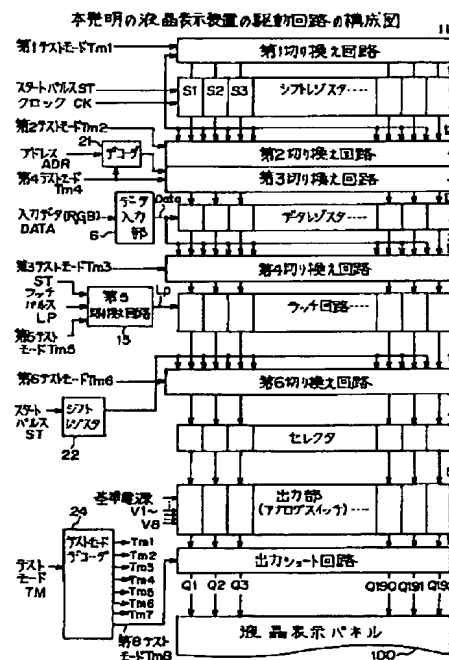
(74) 代理人 弁理士 石川 泰男

(54) 【発明の名称】 液晶表示装置の駆動回路および液晶表示装置

(57) 【要約】

【目的】 IC 出荷試験等の試験時間を短縮でき、低電流容量の駆動電源による IC 試験が可能で、TCP の液晶パネル実装後の各出力チャンネルのチェックが可能な液晶表示装置の駆動回路を提供する。

【構成】 シフトレジスタ1各段入力を供給する第1切り換え回路11と、サンプリング信号を供給する第2切り換え回路12と、ラッチ回路3入力を供給する第4切り換え回路14と、データレジスタ2の一部を特定するデコーダ21と、サンプリング信号を供給する第3切り換え回路13と、ラッチ回路3用パルスを切り換える第5切り換え回路13と、テスト用シフトレジスタ22と、セクタ4のチャンネルを特定する第6切り換え回路16と、出力部5を特定する第7切り換え回路17と、テストモードデコーダ24とを有して構成する。



【特許請求の範囲】

【請求項1】 入力データ(DATA)のサンプリング信号を生成するシフトレジスタ(1)を備える液晶表示装置の駆動回路であって、

第1テストモード信号(Tm1)に基づき、前記シフトレジスタ(1)の各段の入力として、該段の前段のシフトレジスタ出力、またはn段(nは任意の正整数)毎に分割したときの該段が含まれる分割群の先頭段の前段のシフトレジスタ出力の何れかを供給する第1切り換え回路(11)を有することを特徴とする液晶表示装置の駆動回路。

【請求項2】 入力データ(DATA)のサンプリング信号を生成するシフトレジスタ(1)と、サンプリング入力を保持するデータレジスタ(2)とを備える液晶表示装置の駆動回路であって、

第2テストモード信号(Tm2)に基づき、前記シフトレジスタ(1)出力、または前記シフトレジスタ(1)の動作を開始するスタートパルス(ST)の何れかを、前記サンプリング信号として前記データレジスタ(2)に供給する第2切り換え回路(12)を有することを特徴とする液晶表示装置の駆動回路。

【請求項3】 入力データ(DATA)のサンプリング信号を生成するシフトレジスタ(1)と、サンプリング入力を保持するデータレジスタ(2)と、前記データレジスタ(2)出力をラッチするラッチ回路(3)とを備える液晶表示装置の駆動回路であって、

第3テストモード信号(Tm3)に基づき、前記ラッチ回路(3)入力として、データレジスタ(2)出力、または入力データ(DATA)の何れかを供給する第4切り換え回路(14)を有することを特徴とする液晶表示装置の駆動回路。

【請求項4】 入力データ(DATA)のサンプリング信号を生成するシフトレジスタ(1)と、サンプリング入力を保持するデータレジスタ(2)とを備える液晶表示装置の駆動回路であって、

前記データレジスタ(2)の一部を特定する信号を生成するデコーダ(21)と、

第4テストモード信号(Tm4)に基づき、前記シフトレジスタ(1)出力、またはデコーダ(21)出力の何れかを、前記サンプリング信号として前記データレジスタ(2)に供給する第3切り換え回路(13)を有することを特徴とする液晶表示装置の駆動回路。

【請求項5】 入力データ(DATA)のサンプリング信号を生成するシフトレジスタ(1)と、サンプリング入力を保持するデータレジスタ(2)と、前記データレジスタ(2)出力をラッチするラッチ回路(3)とを備える液晶表示装置の駆動回路であって、

第5テストモード信号(Tm5)に基づき、全チャネル共通のラッチパルス(LP)、またはチャネル毎のラッチパルスの何れかを、前記ラッチ回路(3)に供給する

第5切り換え回路(13)を有することを特徴とする液晶表示装置の駆動回路。

【請求項6】 入力データ(DATA)のサンプリング信号を生成するシフトレジスタ(1)と、サンプリング入力を保持するデータレジスタ(2)と、前記データレジスタ(2)出力をラッチするラッチ回路(3)と、前記ラッチ回路(3)出力に基づき選択信号を生成するセクタ(4)と、前記選択信号に基づき出力電圧レベルを決定する出力部(5)とを備える液晶表示装置の駆動回路であって、

前記シフトレジスタ(1)の動作を開始するスタートパルス(ST)でシフト動作するテスト用シフトレジスタ(22)と、

第6テストモード信号(Tm6)に基づき、前記ラッチ回路(3)出力、または前記ラッチ回路(3)出力と前記テスト用シフトレジスタ(22)出力との論理積の何れかを、前記セクタ(4)に供給する第6切り換え回路(16)を有することを特徴とする液晶表示装置の駆動回路。

【請求項7】 入力データ(DATA)のサンプリング信号を生成するシフトレジスタ(1)と、サンプリング入力を保持するデータレジスタ(2)と、前記データレジスタ(2)出力をラッチするラッチ回路(3)と、前記ラッチ回路(3)出力に基づき選択信号を生成するセクタ(4)と、前記選択信号に基づき出力電圧レベルを決定する出力部(5)とを備える液晶表示装置の駆動回路であって、

前記シフトレジスタ(1)の動作を開始するスタートパルス(ST)でシフト動作するテスト用シフトレジスタ(22)と、

第7テストモード信号(Tm7)に基づき、前記セクタ(4)出力、または前記セクタ(4)出力と前記テスト用シフトレジスタ(22)出力との論理積の何れかを、前記出力部(5)に供給する第7切り換え回路(17)を有することを特徴とする液晶表示装置の駆動回路。

【請求項8】 入力データ(DATA)のサンプリング信号を生成するシフトレジスタ(1)と、サンプリング入力を保持するデータレジスタ(2)と、前記データレジスタ(2)出力をラッチするラッチ回路(3)と、前記ラッチ回路(3)出力に基づき選択信号を生成するセクタ(4)と、前記選択信号に基づき出力電圧レベルを決定する出力部(5)とを備える液晶表示装置の駆動回路であって、

前記出力部(5)出力の各チャネル間に第8テストモード信号(Tm8)により制御されるスイッチング素子を備える出力ショート回路(18)を有することを特徴とする液晶表示装置の駆動回路。

【請求項9】 前記液晶表示装置の駆動回路は、テストモード信号(TM)に基づき前記第1、第2、第3、第

4、第5、第6、第7、または第8テストモード信号(Tm1~Tm8)を生成するテストモードデコーダ(24)を有することを特徴とする請求項1、2、3、4、5、6、7、または8に記載の液晶表示装置の駆動回路。

【請求項10】 液晶表示パネル(100)と、この液晶表示パネル(100)に駆動電圧を供給する駆動回路と、を備え、

前記駆動回路は前記請求項1乃至9のいずれかに記載の駆動回路を含むことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶表示装置およびその駆動回路に係り、特に、データドライバICについて、IC出荷試験等の試験時間を短縮でき、低電流容量の駆動電源によるIC試験が可能で、TCP(tape carried package)の液晶パネル実装後の各出力チャネルのチェックが可能な液晶表示装置の駆動回路に関する。

【0002】

【従来の技術】従来の液晶表示装置の駆動回路では、デジタルデータドライバの構成は、一般に図11(a)に示すように、シフトレジスタ1、データ入力部6、データレジスタ2、ラッチ回路3、セレクト4、及び出力部5を備えて構成されている。

【0003】このデジタルデータドライバの動作は、図11(b)のタイミングチャートに示すように、先ず、シフトレジスタ1の各段の出力が次段の入力となつて、順次制御信号がデータレジスタ2に供給されて、入力データDATAがデータ入力部6を介してデータレジスタ2内に取り込まれる。データレジスタ2の出力はラッチパルスLPによりラッチ回路3にラッチされる。セレクト4では、ラッチ回路3出力に基づき選択データが生成され、出力部5のアナログスイッチを該選択データによって制御して、それぞれのデータラインQ1~Q192について電圧レベルV1~V8が決定されて液晶表示パネル100を駆動する。

【0004】このようなデジタルデータドライバをIC化した場合、該ICのデータ入力端子数は階調数に相当するビット数×3(R, G, B)である。

【0005】

【発明が解決しようとする課題】従って、従来の液晶表示装置の駆動回路では、デジタルデータドライバの出力チャネル数が(例えば、図11では192チャネルと)多く、データ入力Dataはチャネル毎のシリーズデータであるため、所定のチャネルのデータレジスタ2にデータをサンプリング入力するまでには、シフトレジスタ1でスタートパルスSTを順次シフトして、個々のチャネル用のサンプリングパルスを作成する必要がある、IC出荷試験等の試験に時間を要するという問題があった。

【0006】本発明は、上記問題点を解決するもので、IC出荷試験等の試験時間を短縮できる液晶表示装置の駆動回路を提供することを目的とする。また本発明の他の目的は、低電流容量の駆動電源によるIC試験を行い得る液晶表示装置の駆動回路を提供することである。

【0007】更に本発明の目的は、TCPの液晶パネル実装後の各出力チャネルのチェックが可能な液晶表示装置の駆動回路を提供することである。

【0008】

10 【課題を解決するための手段】上記課題を解決するために、本発明の第1の特徴の液晶表示装置の駆動回路は、図1に示す如く、入力データDATAのサンプリング信号を生成するシフトレジスタ1とを備える液晶表示装置の駆動回路であつて、第1テストモード信号Tm1に基づき、前記シフトレジスタ1の各段の入力として、該段の前段のシフトレジスタ出力、またはn段(nは任意の正整数)毎に分割したときの該段が含まれる分割群の先頭段の前段のシフトレジスタ出力の何れかを供給する第1切り換え回路11を有して構成する。

20 【0009】また、本発明の第2の特徴の液晶表示装置の駆動回路は、図1に示す如く、入力データDATAのサンプリング信号を生成するシフトレジスタ1と、サンプリング入力を保持するデータレジスタ2とを備える液晶表示装置の駆動回路であつて、第2テストモード信号Tm2に基づき、前記シフトレジスタ1出力、または前記シフトレジスタ1の動作を開始するスタートパルスSTの何れかを、前記サンプリング信号として前記データレジスタ2に供給する第2切り換え回路12を有して構成する。

30 【0010】また、本発明の第3の特徴の液晶表示装置の駆動回路は、図1に示す如く、入力データDATAのサンプリング信号を生成するシフトレジスタ1と、サンプリング入力を保持するデータレジスタ2と、前記データレジスタ2出力をラッチするラッチ回路3とを備える液晶表示装置の駆動回路であつて、第3テストモード信号Tm3に基づき、前記ラッチ回路3入力として、データレジスタ2出力、または入力データDATAの何れかを供給する第4切り換え回路14を有して構成する。

40 【0011】また、本発明の第4の特徴の液晶表示装置の駆動回路は、図1に示す如く、入力データDATAのサンプリング信号を生成するシフトレジスタ1と、サンプリング入力を保持するデータレジスタ2とを備える液晶表示装置の駆動回路であつて、前記データレジスタ2の一部を特定する信号を生成するデコーダ21と、第4テストモード信号Tm4に基づき、前記シフトレジスタ1出力、またはデコーダ21出力の何れかを、前記サンプリング信号として前記データレジスタ2に供給する第3切り換え回路13とを有して構成する。

50 【0012】また、本発明の第5の特徴の液晶表示装置の駆動回路は、図1に示す如く、入力データDATAの

サンプリング信号を生成するシフトレジスタ1と、サンプリング入力を保持するデータレジスタ2と、前記データレジスタ2出力をラッチするラッチ回路3とを備える液晶表示装置の駆動回路であって、第5テストモード信号Tm5に基づき、全チャンネル共通のラッチパルスLP、またはチャンネル毎のラッチパルスの何れかを、前記ラッチ回路3に供給する第5切り換え回路13を有して構成する。

【0013】また、本発明の第6の特徴の液晶表示装置の駆動回路は、図1に示す如く、入力データDATAのサンプリング信号を生成するシフトレジスタ1と、サンプリング入力を保持するデータレジスタ2と、前記データレジスタ2出力をラッチするラッチ回路3と、前記ラッチ回路3出力に基づき選択信号を生成するセクタ4と、前記選択信号に基づき出力電圧レベルを決定する出力部5とを備える液晶表示装置の駆動回路であって、前記シフトレジスタ1の動作を開始するスタートパルスSTでシフト動作するテスト用シフトレジスタ22と、第6テストモード信号Tm6に基づき、前記ラッチ回路3出力、または前記テスト用シフトレジスタ22出力の何れかを、前記セクタ4に供給する第6切り換え回路16とを有して構成する。

【0014】また、本発明の第7の特徴の液晶表示装置の駆動回路は、入力データDATAのサンプリング信号を生成するシフトレジスタ1と、サンプリング入力を保持するデータレジスタ2と、前記データレジスタ2出力をラッチするラッチ回路3と、前記ラッチ回路3出力に基づき選択信号を生成するセクタ4と、前記選択信号に基づき出力電圧レベルを決定する出力部5とを備える液晶表示装置の駆動回路であって、前記シフトレジスタ1の動作を開始するスタートパルスSTでシフト動作するテスト用シフトレジスタ22と、第7テストモード信号Tm7に基づき、前記セクタ4出力、または前記テスト用シフトレジスタ22出力の何れかを、前記出力部5に供給する第7切り換え回路17とを有して構成する。

【0015】また、本発明の第8の特徴の液晶表示装置の駆動回路は、図1に示す如く、入力データDATAのサンプリング信号を生成するシフトレジスタ1と、サンプリング入力を保持するデータレジスタ2と、前記データレジスタ2出力をラッチするラッチ回路3と、前記ラッチ回路3出力に基づき選択信号を生成するセクタ4と、前記選択信号に基づき出力電圧レベルを決定する出力部5とを備える液晶表示装置の駆動回路であって、前記出力部5出力の各チャンネル間に第8テストモード信号Tm8により制御されるスイッチング素子を備える出力ショート回路18を有して構成する。

【0016】更に、本発明の第9の特徴の液晶表示装置の駆動回路は、請求項1、2、3、4、5、6、7、または8に記載の液晶表示装置の駆動回路において、前記

液晶表示装置の駆動回路は、テストモード信号TMに基づき前記第1、第2、第3、第4、第5、第6、第7、または第8テストモード信号Tm1～Tm8を生成するテストモードデコーダ24を有して構成する。

【0017】また、請求項10に記載の液晶表示装置の発明は、各請求項1乃至9のいずれかの駆動回路を有し、その駆動回路によって駆動される液晶表示パネル100を備えて構成される。

【0018】

【作用】本発明の第1の特徴の液晶表示装置の駆動回路では、図1に示す如く、第1切り換え回路11により、第1テストモード信号Tm1に基づき、通常動作時には、シフトレジスタ1の各段の入力として該段の前段のシフトレジスタ出力を供給し、第1テストモード下では、シフトレジスタ1の各段の入力として、n段（nは任意の正整数）毎に分割したときの該段が含まれる分割群の先頭段の前段のシフトレジスタ出力を供給するようにしている。

【0019】これにより、第1テストモード時には、シフトレジスタ1を実効的に1/n段のシフトレジスタに短縮するため、データサンプリングに要する時間が通常動作時の1/nとなり、IC出荷試験等の試験時間を短縮できる。

【0020】また、本発明の第2の特徴の液晶表示装置の駆動回路では、図1に示す如く、第2切り換え回路12により、第2テストモード信号Tm2に基づき、通常動作時にはシフトレジスタ1出力を、また、第2テストモード下ではシフトレジスタ1の動作を開始するスタートパルスSTを、サンプリング信号としてデータレジスタ2に供給するようにしている。

【0021】これにより、第2テストモード時には、任意チャンネルのデータレジスタへのデータ入力を、スタートパルスSTで全チャンネルのデータレジスタに一度に入力でき、シフトレジスタ1におけるシフト動作分の時間短縮が可能となり、IC出荷試験等の試験時間を短縮できる。

【0022】また、本発明の第3の特徴の液晶表示装置の駆動回路では、図1に示す如く、第4切り換え回路14により、第3テストモード信号Tm3に基づき、通常動作時には、ラッチ回路3入力としてデータレジスタ2出力を、また、第3テストモード下ではデータ入力部6を供給するようにしている。

【0023】これにより、例えばデータを繰り返し入力し、またはデータ入力を頻繁に変更するようなテストの場合にも、同一の入力データを全チャンネルのラッチ回路3に直接ストアでき、データサンプリング時間が短縮され、ラッチ回路3以降の回路ブロックの試験時間の短縮が可能となる。

【0024】また、本発明の第4の特徴の液晶表示装置の駆動回路では、図1に示す如く、デコーダ21からデ

ータレジスタ2の一部を特定する信号を生成し、第3切り換え回路13により、第4テストモード信号Tm4に基づき、通常動作時にはシフトレジスタ1出力を、また第4テストモード下ではデコーダ21出力を、サンプリング信号としてデータレジスタ2に供給するようにしている。

【0025】このように、アドレス等によってデータレジスタ2の一部を特定することができるので、チャンネルを任意に選択して、且つシフトレジスタ1におけるシフト動作分の時間を短縮してテストを行うことができるので、IC出荷試験等の試験時間を短縮できると共に、ランダムサンプリングテスト等の種々のテストが可能となる。

【0026】また、本発明の第5の特徴の液晶表示装置の駆動回路では、図1に示す如く、第5切り換え回路13により、第5テストモード信号Tm5に基づき、通常動作時には全チャンネル共通のラッチパルスLPを、また第5テストモード下ではチャンネル毎のラッチパルスをラッチ回路3に供給するようにしている。

【0027】このように第5切り換え回路13により、第5テストモード下ではラッチパルスの供給されたチャンネルのラッチ回路のみを有効とすることができ、ICテスト等を用いて試験を行う場合に、外部からの低電流容量の駆動電源にも対応できる。

【0028】また、本発明の第6の特徴の液晶表示装置の駆動回路では、図1に示す如く、テスト用シフトレジスタ22においてスタートパルスSTでシフト動作し、第6切り換え回路16により、第6テストモード信号Tm6に基づき、通常動作時にはラッチ回路3出力を、また第6テストモード下ではラッチ回路3出力とテスト用シフトレジスタ22出力との論理積をセクタ4に供給するようにしている。

【0029】これにより、第6テストモード時には、テストすべきチャンネルのセクタのみが有効となり、ICテスト等を用いて試験を行う場合に、外部からの低電流容量の駆動電源にも対応できる。

【0030】また、本発明の第7の特徴の液晶表示装置の駆動回路では、テスト用シフトレジスタ22においてスタートパルスSTでシフト動作し、第7切り換え回路17により、第7テストモード信号Tm7に基づき、通常動作時にはセクタ4出力を、また第7テストモード下ではセクタ4出力とテスト用シフトレジスタ22出力との論理積を出力部5に供給するようにしている。

【0031】これにより、第7テストモード時には、テストすべきチャンネルの出力部のみが有効となり、ICテスト等を用いて試験を行う場合に、外部からの低電流容量の駆動電源にも対応できる。

【0032】また、本発明の第8の特徴の液晶表示装置の駆動回路では、図1に示す如く、出力ショート回路18により、第8テストモード下では、出力部5出力の各

チャンネル間に具備するスイッチング素子をオンさせて、出力部5における全チャンネルを横断的にショートすることができ、TCPの液晶表示パネルへの実装後の動作解析が容易になる。

【0033】例えば、第8テストモードを個々のチャンネルを1チャンネルずつ順次出力するテストモードとすれば、各チャンネルの出力波形を、TCP上のモニターバッドMFPで順次観測することが可能となり、また、第8テストモードをチャンネルに相当するアドレス付きデータのフォーマットで入力するテストモードとすれば、チャンネルを直接指定できるため、時間的遅れなく観測することも可能である。

【0034】更に、本発明の第9の特徴の液晶表示装置の駆動回路では、テストモードデコーダ24により、テストモード信号TMに基づき第1、第2、第3、第4、第5、第6、第7、または第8テストモード信号Tm1～Tm8を生成するようにしている。従って、テストモード信号TMの指定によって種々の組合せのテストが可能となる。

【0035】請求項10に記載の発明によれば、上記各請求項1乃至9に記載の駆動回路によって液晶表示パネル100が駆動される液晶表示装置の具現化が可能となる。

【0036】

【実施例】次に、本発明に係る実施例を図面に基ついて説明する。図1は、以下で説明する本発明の各実施例に係る液晶表示装置の駆動回路の構成図であり、デジタルデータドライバについての部分構成図である。同図において、図11（従来例）と重複する部分には同一の符号を附する。

【0037】図1において、デジタルデータドライバは、従来例と同様に、シフトレジスタ1、データ入力部6、データレジスタ2、ラッチ回路3、セクタ4、及び出力部5を備えている。通常動作（テストモードではない）時におけるこれら構成要素の動作は、従来と同様である。

【0038】以上の構成に加えて、本発明では、第1切り換え回路11、第2切り換え回路12、第3切り換え回路13、第4切り換え回路14、第5切り換え回路15、第6切り換え回路16、第7切り換え回路17、出力ショート回路18、テスト用アドレスデコーダ21、テスト用シフトレジスタ22、及びテストモードデコーダ24が付加された構成となっている。

【0039】以下、付加された各構成要素の機能及び動作について、各実施例において詳細に説明する。

第1実施例

図2は本発明の第1実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図2(a)は回路構成図、図2(b)はタイミングチャートである。

【0040】本実施例の液晶表示装置の駆動回路は、図2(a)に示すように、第1テストモード信号Tm1に基づき、シフトレジスタ1の各段の入力として、該段の前段のシフトレジスタ出力、またはn段(nは任意の正整数)毎に分割したときの該段が含まれる分割群の先頭段の前段のシフトレジスタ出力の何れかを供給する第1切り換え回路11を備えた構成である。

【0041】尚、図2(a)においては $n=16$ であり、第1切り換え回路11において、第1テストモード信号Tm1に基づき、該信号がアクティブの第1テストモード時にn段前のシフトレジスタ出力が選択され、該信号がインアクティブの通常動作時に前段のシフトレジスタ出力が選択される。

【0042】つまり、第1テストモード時には、例えば64段のシフトレジスタ1を $1/n$ 段のシフトレジスタに短縮するため、図2(b)のタイミングチャートに示すように、n段毎のグループに同じパルスを入力し、該グループからはクロックパルス供給時に1段シフトしたパルスを出力する。この出力が次のn段のグループに対する入力として選択され、更にシフトしたパルスを出力するようになる。

【0043】従って $n=16$ とした図2(a)の場合には、通常動作時に64段の奥行きのあるシフトレジスタの場合、第1テストモード下では奥行きが4段のシフトレジスタとして動作することとなり、データサンプリングに要する時間は、通常動作時の $1/16$ となる。

【0044】また、本実施例の変形として、n段のグループを連続したグループではなく、n段おきに構成することも可能である。この場合、スタートパルスSTを $(m \times n + 1)$ 段目シフトレジスタ入力に、1段目シフトレジスタ出力を $(m \times n + 2)$ 段目のシフトレジスタ入力に、 $(n - 1)$ 段目シフトレジスタ出力を $(m + 1) \times n$ 段目シフトレジスタ入力に、それぞれ接続していく構成となる。

【0045】本変形例の構成では、同じシフトパルス出力がn段おきに $(m + 1)$ 本出力されることとなる。

第2実施例

図3は本発明の第2実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図3(a)は構成図、図3(b)はタイミングチャートである。

【0046】本実施例の液晶表示装置の駆動回路は、第2テストモード信号Tm2に基づき、シフトレジスタ1出力、またはシフトレジスタ1の動作を開始するスタートパルスSTの何れかを、サンプリング信号としてデータレジスタ2に供給する第2切り換え回路12を備えた構成である。

【0047】一般にデータドライバの構成は、チャンネル数が例えば192チャンネルと多く、データ入力はチャンネル毎のシリーズデータであるため、所定のチャンネルのデ

ータレジスタにデータをサンプリング入力するまでに、シフトレジスタ1でスタートパルスSTを順次シフトし、個々のチャンネル用のサンプリングパルスを作成する必要がある。

【0048】本実施例では、テスト時のデータサンプリングの時間短縮のため、第2テストモード時には、シフトレジスタ1を介することなく、入力データDataをサンプリング入力する構成とする。即ち、第2切り換え回路12により、シフトレジスタ1出力のサンプリングパルスの代わりに、スタートパルスSTをデータサンプリング用クロックとしてデータレジスタ2に供給する。

【0049】第2切り換え回路12を設けたことにより、第2テストモード時には、図3(b)のタイミングチャートに示すように、第1チャンネルデータレジスタへのデータ入力を、スタートパルスSTで全チャンネルのデータレジスタに一度に入力でき、シフトレジスタ1でパルスをシフト動作させる分の時間短縮が可能となる。

第3実施例

図4は本発明の第3実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図4(a)は構成図、図4(b)はタイミングチャートである。

【0050】本実施例の液晶表示装置の駆動回路は、第3テストモード信号Tm3に基づき、ラッチ回路3入力として、データレジスタ2出力、またはデータ入力部6の何れかを供給する第4切り換え回路14を備えた構成である。

【0051】第4切り換え回路14により、データを繰り返し入力し、またはデータ入力を頻繁に変更するようなテストの場合、図4(b)のタイミングチャートに示すように、同一の入力データを全チャンネルのラッチ回路3に直接ストアできるので、データサンプリングの時間が短縮され、ラッチ回路3以降の回路ブロックの試験時間の短縮が可能となる。

第4実施例

図5は本発明の第4実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の構成図である。

【0052】本実施例の液晶表示装置の駆動回路は、データレジスタ2の一部を特定する信号を生成するデコーダ21と、第4テストモード信号Tm4に基づき、シフトレジスタ1出力、またはデコーダ21出力の何れかを、サンプリング信号としてデータレジスタ2に供給する第3切り換え回路13とを備えた構成である。

【0053】第4テストモード下では、データサンプリングの時間短縮のため、テストしようとするチャンネルのアドレス付きデータを入力する。デコーダ21で該アドレスADRをデコードし、該当するチャンネルのデコーダ21出力により、所定のチャンネルのデータレジスタを選択して、シフトレジスタ1における段数分のシフト動作

による遅れなしに、直接入力データ Data を該当チャネルのデータレジスタにストアすることができる。

第5実施例

図6は本発明の第5実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の構成図である。

【0054】本実施例の液晶表示装置の駆動回路は、第5テストモード信号 Tm5 に基づき、全チャネル共通のラッチパルス LP、またはチャネル毎のラッチパルスの何れかをラッチ回路3に供給する第5切り換え回路13を備えた構成である。

【0055】本実施例は、IC テスタ等を用いて試験を行う場合に、外部からの低電流容量の駆動電源にも対応できるようにした構成である。通常、データドライバの出力部5は外部から基準電源 V1~V8 を供給する方式である。通常使用時には、ラッチパルス LP により全チャネルのラッチ回路3が同時出力し、セレクト4では同時に各チャネル毎の基準電源 V1~V8 を選択し、液晶表示パネル100を駆動する出力電圧となる。

【0056】ところで、IC テスタ時に IC テスタ等の駆動電源を外部基準電源として用いる場合、その電流容量が制限されることが多い。本実施例は、その電流容量が小さい場合でも対応できるよう、第5テストモード時には同時に出力するチャネル数を制限する構成とし、出力電流を抑えるものである。具体的には、1チャネルずつ出力できる回路構成とする。

【0057】つまり、第5切り換え回路13により、ラッチ回路3において、全チャネル共通のラッチパルス LP の代わりに、1チャネルずつ個別のラッチパルスをラッチクロックとして入力する。この時のラッチクロックとしては、スタートパルス ST を選択する。従って、第5テストモード時にはラッチクロックが入力されたチャネルのみ出力が有効となる。選択されていない周期とチャネルでは、出力は例えばオープン状態に固定する。

第6実施例

図7は本発明の第6実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図7(a)は構成図、図7(b)はタイミングチャートである。

【0058】本実施例の液晶表示装置の駆動回路は、図7(a)に示すように、シフトレジスタ1の動作を開始するスタートパルス ST でシフト動作するテスト用シフトレジスタ22と、第6テストモード信号 Tm6 に基づき、ラッチ回路3出力、またはラッチ回路3出力とテスト用シフトレジスタ22出力との論理積の何れかをセレクト4に供給する第6切り換え回路16とを備えた構成である。

【0059】または、第6切り換え回路16を省略して、シフトレジスタ22の各段の出力を、順次各チャネルのセレクトの入力に追加する構成としてもよい。本実

施例では、第6テストモード時には、図7(b)に示すように、テスト用シフトレジスタ22の制御によってテストすべきチャネルのセレクトのみが有効となる。従って、セレクト4の論理出力により、スタートパルス ST の周期毎に選択されたチャネルが順次有効となり、順次、基準電源 V1~V8 が選択されて出力されることとなる。尚、選択されていない周期とチャネルでは、出力は例えばオープンの状態に固定する。

【0060】更に、2チャネル以上の複数のチャネルずつ出力するよう構成することも可能である。

第7実施例

図8は本発明の第7実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の構成図である。

【0061】本実施例の液晶表示装置の駆動回路は、シフトレジスタ1の動作を開始するスタートパルス ST でシフト動作するテスト用シフトレジスタ22と、第7テストモード信号 Tm7 に基づき、セレクト4出力、またはテスト用シフトレジスタ22出力の何れかを出力部5に供給する第7切り換え回路17とを備えた構成である。

【0062】本実施例では、テスト用シフトレジスタ22でスタートパルス ST 周期のパルス幅を備えるパルスを作成し、第7切り換え回路17により、シフトレジスタ22から供給されるシフトレジスタ各段の出力と各チャネルのセレクト出力との論理積と、各チャネルのセレクトの出力とが切り換えられる。第7テストモード時には、テストすべきチャネルの出力部のみが有効となる。

【0063】これにより、スタートパルス周期毎に各チャネルの出力部が選択され、順次、基準電源が選択されて出力されることとなる。更に、2チャネル以上の複数のチャネルずつ出力するよう構成することも可能である。

第8実施例

図9は本発明の第8実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の構成図である。

【0064】本実施例の液晶表示装置の駆動回路は、出力部5出力の各チャネル間に第8テストモード信号 Tm8 により制御されるスイッチング素子を備える出力ショート回路18を備えた構成である。

【0065】データドライバは TCP パッケージ (Tape Carried Package) に実装されることが多い。TCP の出力側アウターリードのピッチは、160~180[μm] 前後と狭い。

【0066】実装前の TCP 製品には、全チャネルのリード終端部にチェック用として、テストパッドを設けることが一般的だが、液晶表示パネル100に実装時には、その部分はスペースの制限からカットされてしまうため、液晶表示パネル100に実装後の TCP 出力チャ

ネルを個々にブローピングして、波形観測等の動作解析をすることはほとんど困難である。但し、TCPの両端のチャンネルのみ、TCP上にモニター用パッドMPを設けることがスペース的に可能である。

【0067】そこで、このモニターパッドMPに中間のチャンネルの波形を出力させることを目的として、出力部に全チャンネルを横断的にショートする回路18を備える。チャンネル間のショートはアナログスイッチ素子SWによる。中間のチャンネル波形を観測する場合、第8テストモード信号Tm8をアクティブにして、出力部5にお

ける全チャンネルを横断的にショートする。
【0068】この時、第8テストモードを個々のチャンネルを1チャンネルずつ順次出力するテストモードとすれば、各チャンネルの出力波形を、TCP上のモニターパッドMPで順次観測することが可能となる。

【0069】また、第8テストモードをチャンネルに相当するアドレス付きデータのフォーマットで入力するテストモードとすれば、チャンネルが直接指定できるため、時間的遅れなく観測することも可能である。

第9実施例

図10は本発明の第9実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図10(a)は構成図、図10(b)はタイミングチャートである。

【0070】本実施例の特徴の液晶表示装置の駆動回路は、テストモード信号TMに基づき第1、第2、第3、第4、第5、第6、第7、及び第8テストモード信号Tm1~Tm8を生成するテストモードデコーダ24を備えた構成である。

【0071】テスト端子からテストモード毎に違う複数種類のテストコードを、テストモード信号TMとして入力する。該テストモード信号TMをテストモードデコーダ24でデコードしテストモードを判別する。

【0072】各テストモードに対応するデコーダ出力を第1、第2、第3、第4、第5、第6、第7、及び第8テストモード信号Tm1~Tm8とし、上記第1~第8実施例で説明したようなテスト用に付加された構成要素を通常動作またはテストモードに切り換え制御する信号とする。複数のテストモードをシリーズに入力し、テストモードの重複組合わせも可能である。

【0073】また、テスト端子を複数個のテスト端子で構成して、該テスト端子に直流信号を入力して、その組合わせで複数種類のテストモードを表現することも可能である。

【0074】更に、テスト端子の代わりに、テスト端子以外の端子、例えばスタート入力端子等を使用して複数種類のテストコードを入力することも可能である。

第10実施例

以上の各実施例に開示した駆動回路を含む液晶表示の要部を図1に開示した。図1に示すように、入力データD

ATAはデータ入力部6を介してシリアルにデータレジスタ2に送られたのち、パラレルデータとして出力ショート回路18を経由して液晶表示パネル100に印加される。

【0075】このように、本発明に係る液晶表示装置は、各実施例に示した駆動回路を備え、前述した種々の試験が可能な構成となっている。

【0076】

【発明の効果】以上説明したように、本発明によれば、第1切り換え回路により、第1テストモード下では、シフトレジスタの各段の入力として、n段毎に分割したときの該段が含まれる分割群の先頭段の前段のシフトレジスタ出力を供給することとしたので、シフトレジスタを実効的に1/n段のシフトレジスタに短縮することができ、データサンプリングに要する時間が通常動作時の1/nとなり、IC出荷試験等の試験時間を短縮し得る液晶表示装置の駆動回路を提供することができる。

【0077】また、本発明によれば、第2切り換え回路により、第2テストモード下ではシフトレジスタの動作を開始するスタートパルスを、サンプリング信号としてデータレジスタに供給することとしたので、任意チャンネルのデータレジスタへのデータ入力を、スタートパルスで全チャンネルのデータレジスタに一度に入力でき、シフトレジスタにおけるシフト動作分の時間短縮が可能となり、IC出荷試験等の試験時間を短縮し得る液晶表示装置の駆動回路を提供することができる。

【0078】また、本発明によれば、第4切り換え回路により、第3テストモード下ではラッチ回路入力としてデータ入力部を供給することとしたので、同一の入力データを全チャンネルのラッチ回路に直接ストアでき、データサンプリング時間が短縮され、ラッチ回路以降の回路ブロックの試験時間を短縮し得る液晶表示装置の駆動回路を提供することができる。

【0079】また、本発明によれば、デコーダからデータレジスタの一部を特定する信号を生成し、第3切り換え回路により、第4テストモード下ではデコーダ出力をサンプリング信号としてデータレジスタに供給することとしたので、アドレス等によってデータレジスタの一部を特定することができ、チャンネルを任意に選択して、且つシフトレジスタにおけるシフト動作分の時間を短縮してテストを行うことができるので、IC出荷試験等の試験時間を短縮できると共に、ランダムサンプリングテスト等の種々のテストが可能な液晶表示装置の駆動回路を提供することができる。

【0080】また、本発明によれば、第5切り換え回路により、第5テストモード下ではラッチパルスの供給されたチャンネルのラッチ回路のみを有効とすることができ、ICテスト等を用いて試験を行う場合に、外部からの低電流容量の駆動電源にも対応し得る液晶表示装置の駆動回路を提供することができる。

【0081】また、本発明によれば、テスト用シフトレジスタにおいてスタートパルスでシフト動作し、第6切り換え回路により、第6テストモード下ではテスト用シフトレジスタ出力をセレクトに供給することとしたので、テストすべきチャンネルのセレクトのみが有効となり、ICテスト等を用いて試験を行う場合に、外部からの低電流容量の駆動電源にも対応し得る液晶表示装置の駆動回路を提供することができる。

【0082】また、本発明によれば、テスト用シフトレジスタにおいてスタートパルスでシフト動作し、第7切り換え回路により、第7テストモード下ではテスト用シフトレジスタ出力を出力部に供給することとしたので、テストすべきチャンネルの出力部のみが有効となり、ICテスト等を用いて試験を行う場合に、外部からの低電流容量の駆動電源にも対応し得る液晶表示装置の駆動回路を提供することができる。

【0083】また、本発明によれば、出力ショート回路により、第8テストモード下では、出力部出力の各チャンネル間に具備するスイッチング素子をオンさせて、出力部における全チャンネルを横断的にショートすることができるので、TCPの液晶表示パネルへの実装後の動作解析が容易な液晶表示装置の駆動回路を提供することができる。

【0084】更に、本発明によれば、テストモードデコーダ24により、テストモード信号に基づき第1、第2、第3、第4、第5、第6、第7、または第8テストモード信号を生成することとしたので、テストモード信号TMの指定によって種々の組合せのテストが可能な液晶表示装置の駆動回路を提供することができる。

【0085】加えて、本発明に係る液晶表示装置は、請求項1乃至9のいずれかに記載の駆動回路を含むので、実装後における各種試験を可能とする液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の各実施例に係る液晶表示装置の駆動回路の構成図であり、デジタルデータドライバについての部分構成図である。

【図2】第1実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図2(a)は回路構成図、図2(b)はタイミングチャートである。

【図3】第2実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図3(a)は構成図、図3(b)はタイミングチャートである。

【図4】第3実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図4(a)は構成図、図4(b)はタイミングチャートである。

【図5】第4実施例に係る液晶表示装置の駆動回路にお

けるデータドライバの特徴的部分の構成図である。

【図6】第5実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の構成図である。

【図7】第6実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図7(a)は構成図、図7(b)はタイミングチャートである。

【図8】第7実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の構成図である。

【図9】第8実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の構成図である。

【図10】第9実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図10(a)は構成図、図10(b)はタイミングチャートである。

【図11】従来の液晶表示装置の駆動回路の説明図であり、図11(a)は構成図、図11(b)はタイミングチャートである。

【符号の説明】

- 1…シフトレジスタ
- 2…データレジスタ
- 3…ラッチ回路
- 4…セレクト
- 5…出力部
- 6…データ入力部
- 11…第1切り換え回路
- 12…第2切り換え回路
- 13…第3切り換え回路
- 14…第4切り換え回路
- 15…第5切り換え回路
- 16…第6切り換え回路
- 17…第7切り換え回路
- 18…出力ショート回路
- 21…テスト用アドレスデコーダ
- 22…テスト用シフトレジスタ
- 24…テストモードデコーダ
- 100…液晶表示パネル
- TM…テストモード信号
- Tm1～Tm8…第1～第8テストモード信号
- ST…スタートパルス
- CK…クロック
- ADR…アドレス
- DATA…入力データ(R, G, B)
- Data…入力データ
- LP…ラッチパルス
- Lp…ラッチパルス
- V1～V8…基準電源
- SE2～SE32…セレクト
- S1～S32…シフトレジスタ
- SOUT1～SOUT64…シフトレジスタ出力

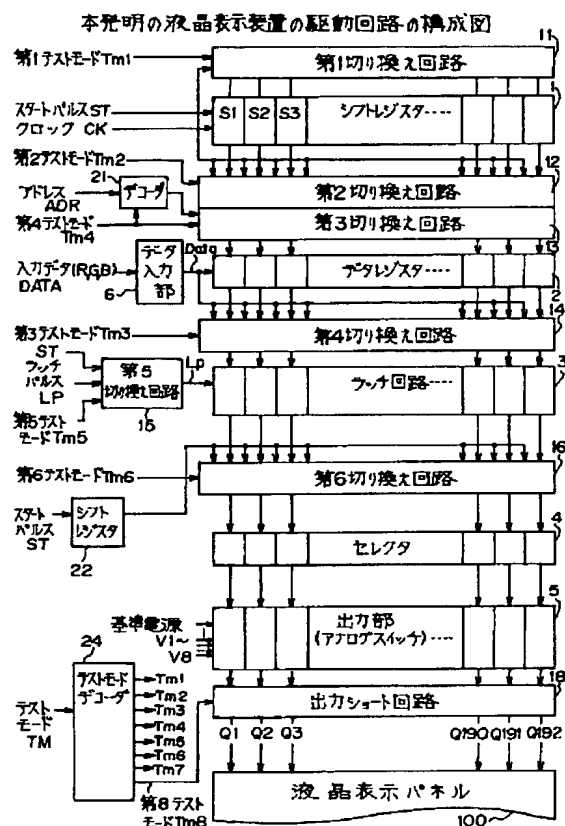
17

MP...TCP上モニターバッド

SW...アナログスイッチ (スイッチング素子)

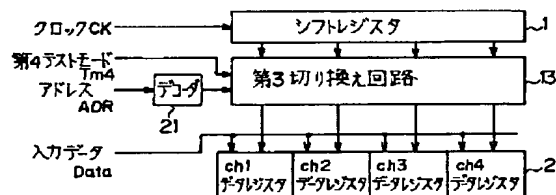
*

【図1】



【図5】

第4実施例の駆動回路の構成図

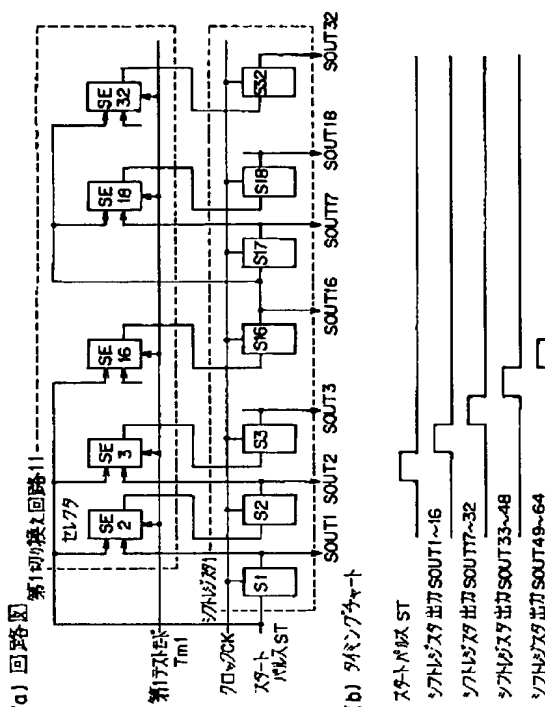


* R1...データレジスタ

18

【図2】

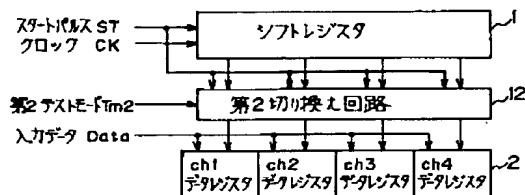
第1実施例の駆動回路の説明図



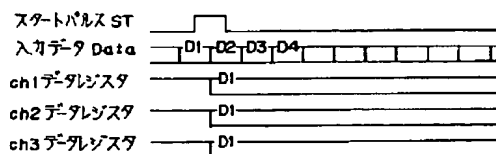
【図3】

第2実施例の駆動回路の説明図

(a) 回路図



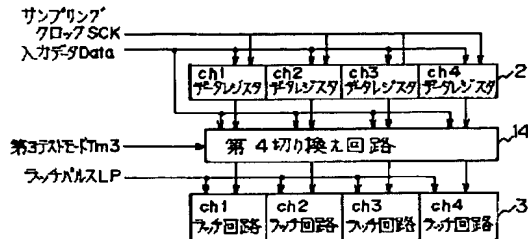
(b) タイミングチャート



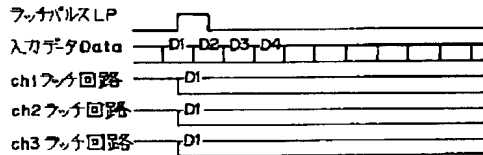
【図4】

第3実施例の駆動回路の説明図

(a) 構成図



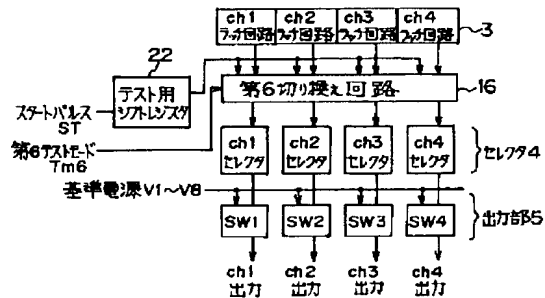
(b) タイミングチャート



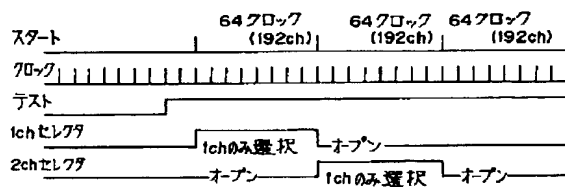
【図7】

第6実施例の駆動回路の説明図

(a) 構成図

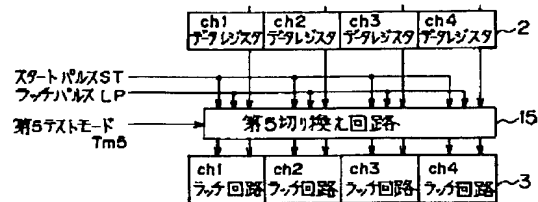


(b) タイミングチャート



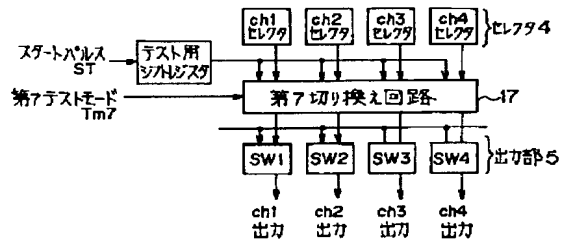
【図6】

第5実施例の駆動回路の構成図



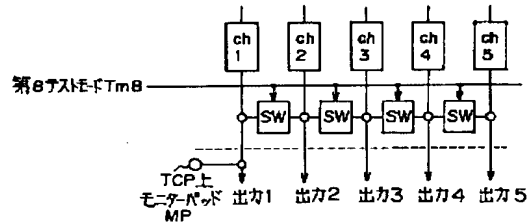
【図8】

第7実施例の駆動回路の構成図



【図9】

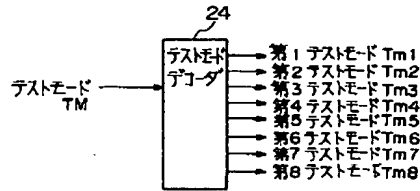
第8実施例の駆動回路の構成図



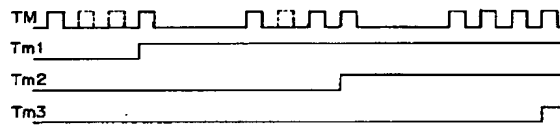
【図10】

第9実施例の駆動回路の説明図

(a) 構成図



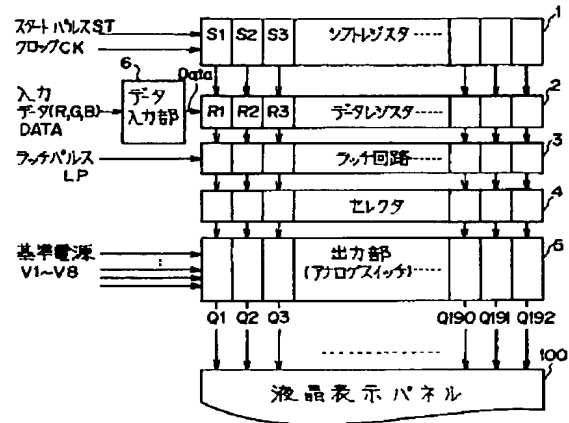
(b) タイミングチャート



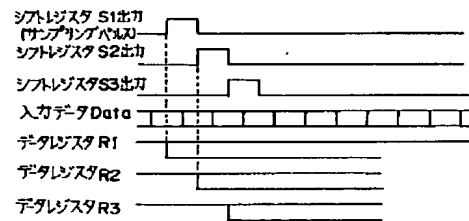
【図11】

従来の液晶表示装置の駆動回路の構成図

(a) 構成図



(b) タイミングチャート



フロントページの続き

(51)Int.Cl.⁶
G09G 3/36

識別記号

庁内整理番号

F I

技術表示箇所